

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-321307

(43)Date of publication of application : 12.12.1997

(51)Int.Cl.

H01L 29/786
H01L 21/265
H01L 27/12
H01L 29/78
H01L 29/778
H01L 21/338
H01L 29/812

(21)Application number : 08-135037

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 29.05.1996

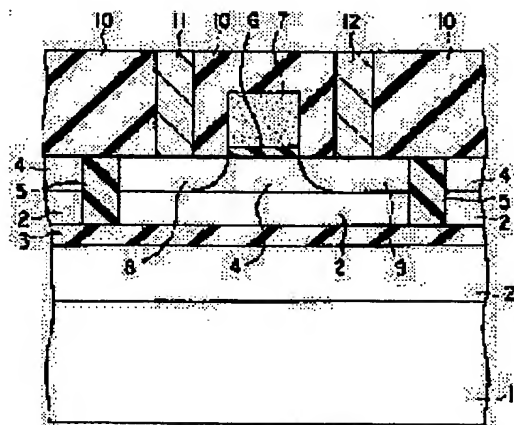
(72)Inventor : USUDA KOJI
IMAI KIYOSHI
SUGIYAMA NAOHARU
TEZUKA TSUTOMU
HIRAOKA YOSHIKO
KUROBE ATSUSHI

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a MOSFET having a structure enabling the forming of a strained Si layer having high quality and satisfactory stain, without losing the effect of the SOI structure.

SOLUTION: A buried insulation layer 3 is inserted into a strain applied SiGe semiconductor layer 2 to form an upper and lower SiGe layers. A strained Si layer 4 is formed as a channel layer on the upper SiGe layer 2 which is made thin by the insulation layer 3. Before forming the Si layer 4, the SiGe layer 2 is heat treated to reduce defects such as dislocation produced in this layer 2 at forming of both layers 2 and 3.



LEGAL STATUS

[Date of request for examination]

29.08.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3376211
[Date of registration] 29.11.2002
[Number of appeal against examiner's decision
of rejection]
[Date of requesting appeal against examiner's
decision of rejection]
[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-321307

(43) 公開日 平成9年(1997)12月12日

(51) Int.Cl. ⁸	識別記号	序内整理番号	F I	技術表示箇所
H 0 1 L	29/786		H 0 1 L 29/78	6 1 8 E
	21/265		27/12	E
	27/12		21/265	A
	29/78			J
	29/778		29/78	3 0 1 H
審査請求 未請求 請求項の数 3 O L (全 7 頁) 最終頁に続く				

(21) 出願番号 特願平8-135037

(22) 出願日 平成8年(1996)5月29日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 白田 宏治

神奈川県川崎市幸区小向東芝町1番地 株

式会社東芝研究開発センター内

(72) 発明者 今井 聖支

神奈川県川崎市幸区小向東芝町1番地 株

式会社東芝研究開発センター内

(72) 発明者 杉山 直治

神奈川県川崎市幸区小向東芝町1番地 株

式会社東芝研究開発センター内

(74) 代理人 弁理士 鈴江 武彦 (外6名)

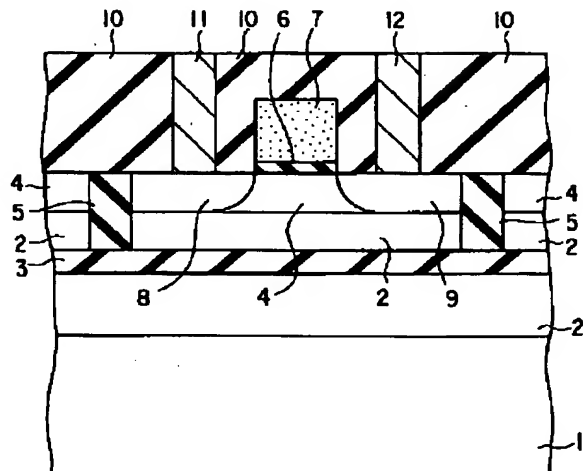
最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 SOI 構造による効果を失わずに、高品質で十分な歪みを有する歪みシリコン層を形成できる構造の MOSFET を提供すること。

【解決手段】 埋め込み絶縁層 3 が挿設され、この埋め込み絶縁層 3 により上下に区分された歪み印加半導体層としての SiGe 層 2 と、上側の SiGe 層 2 上に形成されたチャネル層としての歪みシリコン層 4 とを備え、埋め込み絶縁層 3 は上側の SiGe 層 2 の膜厚が薄くなるように形成され、かつ歪みシリコン層 4 の形成前に、SiGe 層 2 および埋め込み絶縁層 3 の形成時に SiGe 層 2 内に発生した転位等の欠陥を低減するための熱処理が SiGe 層 2 に施されている。



【特許請求の範囲】

【請求項1】チャネルが誘起されるチャネル半導体層と、格子定数が前記チャネル半導体層のそれと異なり、前記チャネル半導体層に歪みを印加する歪み印加半導体層と、この歪み印加半導体層内に形成された絶縁層とを具備してなることを特徴とする半導体装置。

【請求項2】前記チャネル半導体層はシリコン層、前記歪み印加半導体層はシリコンゲルマニウム層であることを特徴とする請求項1に記載の半導体装置。

【請求項3】前記チャネル半導体層は、MOSFETのチャネルが誘起される半導体層であることを特徴とする請求項1に記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、MOSFETやHEMT等のようにチャネルが誘起されるチャネル半導体層を有する半導体素子を備えた半導体装置に関する。

【0002】

【従来の技術】コンピュータや通信機器の重要部分には、多数のトランジスタや抵抗等を電気回路を達成するようにむすびつけ、1チップ上に集積化して形成した大規模集積回路(LSI)が多用されている。このため、機器全体の性能は、LSI単体の性能と大きく結び付いている。

【0003】LSI単体の性能向上、例えば、Si系MOSデバイス等で構成されるLSI単体の性能向上においては、高速かつ低消費電力を特徴とするMOSFETの改良が不可欠である。このため、例えば、電子移動度等の電気的特性の向上を目的とした研究開発が精力的に行なわれている。

【0004】しかし、チャネルが誘起されるチャネル半導体層の構造についての検討は、その緒についたばかりである。電子移動度を高めるための技術の1つとして、チャネル半導体層に歪みをかける技術が知られている。チャネル半導体層に歪みをかけると、そのバンド構造が変化し、その結果、縮退が解けて電子散乱が抑制されるので、電子移動度を高めることが可能となる。

【0005】具体的には、シリコン基板上にシリコンよりも格子定数の大きな材料からなる混晶層、例えば、Ge濃度20%のSiGe混晶層(以下、単にSiGe層という)を形成し、このSiGe層上にチャネル半導体層としてのシリコン層を形成すると、格子定数の違いにより、歪みのかかったシリコン層(以下、歪みチャネル層という)が形成される。このような歪みチャネル層を用いると、無歪みチャネル層を用いた場合の約1.76倍と大幅な電子移動度の向上を達成できることが報告されている(J. Welser, J. L. Hoyt, S. Takagi, and J. F. Gibbons, IEDM 94-373)。

【0006】他方、電子移動度の向上のために、MOSFETの短チャネル化を進めると、浮遊容量の影響が大きくなるため、期待通りに電子移動度を向上することは困難になる。

【0007】そこで、SOI (Silicon On Insulator) 基板にMOSFETを作成することが検討されている。SOI基板の形成方法としては、張り合わせ基板等の幾つかの方法が提案されているが、SOI基板の酸化層とその上のシリコン層の各々の膜厚を最適な寸法に形成できる方法として、シリコン基板に酸素イオンを注入した後、このシリコン基板に高温熱処理を施して該基板内部に埋め込み酸化層を形成するという、通称SIMOX (Separation by Implanted Oxygen) と呼ばれる方法が広く用いられている。

【0008】図3に、SOI基板に作成したMOSFETの断面構造を示す。図中、51はシリコン基板、52は酸化層、53はシリコン層を示しており、これらはSOI基板を構成している。

【0009】シリコン層53上にはSiGe混晶層(以下、単にSiGe層という)54が形成され、このSiGe層54上には歪みシリコン層55が形成されている。これらシリコン層53、SiGe層54および歪みシリコン層55には酸化層52に達する素子分離絶縁膜56が形成されている。

【0010】歪みシリコン層55上にはゲート酸化膜57、ゲート電極58が順次形成されている。また、このゲート電極58をマスクに用いたイオン注入により、歪みシリコン層55およびSiGe層54には、n型ソース領域59およびn型ドレイン領域60が自己整合に形成されている。

【0011】そして、全面にはゲート電極58を覆うように層間絶縁膜61が形成され、この層間絶縁膜61に開口されたコンタクトホールを介してソース電極62、ドレイン電極63がそれぞれn型ソース領域59、n型ドレイン領域60に接続している。

【0012】上述したようなチャネル半導体層に歪みシリコン層55を用い、基板にSOI基板を用いたMOSFETを実現できれば、0.1μmルール以下の微細化に対しても有効な素子特性が得られるようになる。すなわち、短チャネル効果を抑えながら電子移動度の向上が図れるようになる。

【0013】しかしながら、このようなMOSFETの実現に際しては以下のような問題がある。十分な歪みを有する歪みシリコン層55を得るには、厚いSiGe混晶バッファ層(以下、単にSiGeバッファ層という)を形成し、その上に高Ge濃度のSiGe層54を形成する必要がある。例えば、シリコン層53に対して格子定数が%オーダーで異なる厚さ100nm程度のSiGeバッファ層を形成する。

【0014】しかし、下地のシリコン層53との格子不

整合によりSiGeバッファ層内にミスフィット転位や貫通転位が発生し、これら転位がSiGe層54内に引き継がれ、さらにこれら転位がSiGe層54上に形成する歪みシリコン層55に引き継がれ、素子特性が劣化するという問題が生じる。

【0015】仮にSiGeバッファ層の結晶成長が問題なく行なわれ、SiGeバッファ層内にミスフィット転位や貫通転位が発生しなくても、後工程における高熱の熱処理中で緩和が生じて、結果的に転位が生じる可能性もある。

【0016】したがって、十分な歪みを有する歪みシリコン層55を得るには、SiGe層54がシリコン層53から受ける歪みを解放した、つまり、SiGe層54が緩和した状態で、SiGe層54上にシリコンを成長させて歪みシリコン層55を形成することが望まれる。

【0017】これを実現するためには、SiGeバッファ層として、シリコン層53から遠ざかるに従って徐々にGe濃度が高くなる厚い傾斜組成SiGe層を作成し、この傾斜組成SiGe層上にSiGe層54、歪みシリコン層55を順次形成することが必要となる。

【0018】この厚い傾斜組成SiGe層では、貫通転位、ミスフィット転位等の転位が該層中に閉じ込められる。また、SiGe層54を形成する傾斜組成SiGe層の表面は十分に緩和している。したがって、表面に転位がなく、かつ歪みシリコン層55からの歪みが解放されたSiGe層54が得られ、これにより転位がなく十分な歪みを有する歪みシリコン層55を形成できるようになる。しかしながら、このSiGeバッファ層の厚みは、およそ1 μ m程度となる。

【0019】一方、浮遊容量の低減などのSOI基板の効果を得るためには、SOI基板のSOI層の厚み(シリコン層53の膜厚とSiGe層54の膜厚と歪みシリコン層55の膜厚の合計)は0.1 μ m程度以下である必要がある。

【0020】したがって、上述したような厚いSiGeバッファ層(傾斜組成SiGe層)を形成した後に、歪みシリコン層を形成したのでは、SOI基板の効果を享受できないという問題が生じる。

【0021】さらに、上述した厚いSiGeバッファ層(傾斜組成SiGe層)を形成するには、結晶成長時間がかかるという問題がある。また、表面ラフネスが増加し、その上に形成する歪みシリコン層55の膜質が低下するという問題もある。

【0022】

【発明が解決しようとする課題】上述の如く、チャネル半導体層に歪みシリコン層を用い、基板にSOI基板を用いたMOSFETを実現できれば、0.1 μ mルール以下の微細化に対しても、短チャネル効果を抑えながら電子移動度の向上が図れるとともに、ドレイン電流も大きく取れるようになる。

【0023】転位がなく十分な歪みを有する歪みシリコン層の形成方法として、SiGeバッファ層としての厚い傾斜組成SiGe層上にSiGe層を形成し、このSiGe層上にシリコンを成長させて歪みシリコン層を形成する方法が知られている。

【0024】しかし、厚い傾斜組成SiGe層を形成することにより、歪みシリコン層とSOI構造を構成する酸化層との間が大きくなり、SOI構造の効果が得られなくなるといった問題があった。

10 【0025】本発明は、上記事情を考慮してなされたもので、その目的とするところは、SOI構造による効果を失わずに、高品質で十分な歪みを有するチャネル半導体層を形成できる構造を有する半導体装置を提供することにある。

【0026】

【課題を解決するための手段】

10 【概要】上記目的を達成するために、本発明に係る半導体装置(請求項1)は、チャネルが誘起されるチャネル半導体層と、格子定数が前記チャネル半導体層のそれと異なり、前記チャネル半導体層に歪みを印加する歪み印加半導体層と、この歪み印加半導体層内に形成された絶縁層とを備えていることを特徴とする。

20 【0027】また、本発明に係る他の半導体装置(請求項2)は、上記半導体装置(請求項1)において、前記チャネル半導体層がシリコン層、前記歪み印加半導体層がシリコンゲルマニウム層であることを特徴とする。

30 【0028】この場合、上記絶縁層はSIMOX法により形成することが好ましい。また、本発明に係る他の半導体装置(請求項3)は、上記半導体装置(請求項1)において、前記チャネル半導体層が、MOSFETのチャネルが誘起される半導体層であることを特徴とする。

【0029】【作用】本発明の如きの構造によれば、例えば、以下のような形成方法により、SOI構造による効果を失わずに、十分な歪みを有するチャネル半導体層を形成できるようになる。

【0030】すなわち、まず、後工程で形成するチャネル半導体層に十分な歪みを与えることができる歪み印加半導体層を形成する。これは例えば歪み印加半導体層がSiGe層の場合であればGe濃度を高くすれば良い。

40 【0031】次に歪み印加半導体層内に絶縁層を形成する。これは例えば酸素イオンを歪み印加半導体層内に注入した後、アニール処理を行なって形成する。この結果、歪み印加半導体層は絶縁層により上下二つに分離され、上部歪み印加半導体層/絶縁層/下部歪み印加半導体層が構造できる。

50 【0032】このとき、絶縁層、上部歪み印加半導体層および後工程で形成するチャネル半導体層からなるSOI構造と同じ効果を享受できるように、絶縁層を形成する位置の深さを選ぶ。すなわち、SOI構造による効果を享受できる程度の薄い上部歪み印加層が得られるよう

に、歪み印加半導体層内に絶縁層を形成する。

【0033】さらに、上記アニール処理により、歪み印加半導体層の形成時や絶縁層の形成時に、歪み印加半導体層内に発生した転位等の欠陥が減少する。これにより、従来の厚い歪み印加半導体層と同程度数以下の欠陥を有する高品質な薄い歪み印加半導体層が得られる。

【0034】最後に、高品質な薄い歪み印加半導体層（上部歪み印加半導体層）上にチャネル半導体層を形成する。ここで、上部歪み印加半導体層は、上述したように、高品質でチャネル半導体層に十分な歪みを与えることができるように形成されているので、高品質で十分な歪みを有するチャネル半導体層が形成されることになる。しかも、チャネル半導体層に歪みを印加する上部歪み印加層は薄いので、SOI構造と同等の効果は得られる。したがって、SOI構造と同等の効果を失わずに、高品質で十分な歪みを有するチャネル半導体層を形成できることになる。

【0035】

【発明の実施の形態】以下、図面を参照しながら本発明の実施の形態（以下、実施形態という）を説明する。

（第1の実施形態）まず、本発明の基本的な考えについて説明する。図1に、本発明をSi系MOSFETに適用した場合のプロセスフローを従来法のそれと比較して示す。この例では歪み印加半導体層としてSiGe層を用いている。

【0036】従来法では、まず、シリコン基板に酸素イオンを注入し、このシリコン基板にアニール処理を施してシリコン基板内に酸化層を形成することにより、つまり、SIMOX法によりSOI基板を形成する。

【0037】次にSiGeバッファ層としてSOI基板から離れるに従って結晶中のGe濃度を徐々に高くなる傾斜組成SiGe層をSOI基板上に形成する。次にSiGeバッファ層上にSiGeを成長させて所望のGe濃度を有するSiGe層を形成する。

【0038】最後に、SiGe層上にシリコンを成長させて歪みシリコン層を形成した後、この歪みシリコン層をチャネル半導体層とするMOSFETを形成する。これに対し、本発明では、まず、シリコン基板上にSiGeを成長させて歪み印加半導体層としてのSiGe層を形成する。このとき、SiGe層のGe濃度は、後工程で形成する歪みシリコン層の歪みの大きさが十分になるように選ぶ。

【0039】次にSiGe層に酸素イオンを注入した後、このSiGe層にアニール処理を施すことにより、SiGe層内に埋め込み絶縁層を形成する。この結果、SiGe層は埋め込み絶縁層により上下二つに分離される。以下、分離された上側のSiGe層を上部SiGe層、下側のSiGe層を下部SiGe層という。

【0040】この工程時に、上部SiGe層の膜厚が薄くなるように、埋め込み絶縁層をSiGe層の浅い位置

に形成する。これにより、埋め込み絶縁層と次の工程で形成する歪みシリコン層との間を短くできるので、埋め込み絶縁層、上部SiGe層および歪みシリコン層により構成されるSOI構造と同等の浮遊容量低減等の効果を享受できるようになる。

【0041】さらに、SiGe層に酸素イオンを注入した後のアニール処理により、SiGe層の形成時および酸素イオン注入時に生じた転位等の欠陥を修復できるので、SiGeバッファ層を形成しなくても、高品質な上部SiGe層、下側SiGe層が得られる。

【0042】したがって、従来よりも少ない工程数（1工程短縮）で、SOI構造と同等の効果を失わずに、高品質で大きな歪みを有する歪みシリコン層を形成できる高品質で薄い上部SiGe層（歪み印加半導体層）が得られることになる。

【0043】最後に、上部SiGe層上にシリコンを成長させて歪みシリコン層を形成した後、この歪みシリコン層をチャネル半導体層とするMOSFETを形成する。なお、上部SiGe層上に新たなSiGe層を形成し、このSiGe層上に歪みシリコン層を形成した後、この歪みシリコン層にMOSFETを形成しても良い。この場合、より高品質なSiGe層が得られるので、さらに素子特性の優れたMOSFETを形成できるようになる。

【0044】次に本発明の具体的な実施形態について説明する。図2は、本発明の一実施形態に係るn型MOSFETの素子構造を示す断面図である。これを製造工程に従い説明すると、まず、例えば、RCA法等の洗浄法を用いて自然酸化膜等が除去された清浄なシリコン基板1を準備する。

【0045】次にシリコン基板1上に厚さ1μm程度のSiGe層2を形成する。SiGe層2のGe濃度は、後工程で形成する歪みシリコン層4の歪みが十分になるように高くする。

【0046】ここで、Ge濃度を急激に増加させながらSiGe層2を形成すると、シリコン基板1とSiGe層2の格子定数の違いにより生じる格子不整合によって、SiGe層2中に無用の貫通転位、あるいはミスフィット転位を含む欠陥を誘起することになるので、Ge濃度はSiGe層2の中で徐々に増加させ、表面で所望濃度となるようにすることが好ましい。

【0047】膜厚1μmという値は、SiGe層2のデバイス側に近い部分のGe組成比を0.3と設計するとき用いる典型的な値である。Ge組成比は大きい方が良く、0.2を大きく下回る場合には、SiGe層2上に形成するMOSFETの移動度の顕著な向上は期待できない。また、0.5を大きく越える場合には、SiGe層2の表面凹凸（表面ラフネス）の増加や、膜質の低下等の問題が生じる可能性がある。これらの点を考慮してGe組成比を設定すれば、本発明の効果はより顕著に

発揮されるようになる。

【0048】SiGe層2の具体的な成膜方法は以下の通りである。すなわち、原料としてSiH₄ およびGeH₄ を用い、成長温度を500℃に設定し、成長圧力を10⁻³Paに設定して、真空容器中でCVD法により形成する。

【0049】SiGeを成長させるには、このようなCVD法や、MBE (Molecular Beam Epitaxy) 法等のエピタキシャル成長法が広く用いられるが、Ge組成比の制御が可能な結晶成長方法であれば、他の成膜法を用いても良い。

【0050】例えば、LPE (Liquid Phase Epitaxy) 法等の液相成長法や、ポリSiGe層あるいはアモルファスSiGe層の加熱による固相成長法でもSiGe層2を形成できる。

【0051】また、ここでは、真空中（成長圧力10⁻³Pa）でのCVD法の場合について説明したが、数百Torrの成長圧力による減圧あるいは常圧、加圧下でも成長が可能である。

【0052】Si原料としてはSiH₄、Si₂H₆、Si₂H₄Cl₂等、Ge原料としてはGeH₄、GeF₄、Ge₂H₈等が適している。これら原料のガスはキャリアガスを用いて真空容器内に導入しても良い。キャリアガスとしては、例えば、水素ガス、窒素ガス、ヘリウムガスまたはアルゴン等の不活性ガス等があげられる。

【0053】また、原料を予めプラズマ、光等により分解して、成長に必要なエネルギーを有する成長に寄与する種を生成し、これを結晶成長に利用しても良い。また、SiGe層2を形成する際に、B、As、P等の不純物源となるB₂H₆、AsH₃、PH₃等を原料と同時に真空容器内に導入して、SiGe層2が所定の導電型になるようにしても良いし、あるいはSiGe層2を形成した後にB、As、P等を拡散によりSiGe層2内に導入して、SiGe層2が所定の導電型になるようにしても良い。また、B、As、P以外にGa、Sb、Sn、Al、N等を用いても良い。

【0054】次にドーズ量5×10¹⁷cm⁻²の条件で酸素イオンをSiGe層2の上から注入した後、1300℃のアニール処理を施して、良好な埋め込み絶縁層3をSiGe層2内に形成する。

【0055】SiGe層2は埋め込み絶縁層3により上下二つに分離される。以下、分離された上側のSiGe層2を上部SiGe層2、下側のSiGe層2を下部SiGe層2という。

【0056】この工程時に、上部SiGe層2の膜厚が薄くなるように、埋め込み絶縁層3をSiGe層2の浅い位置に形成する。また、上記アニール処理でSiGe層2内の転位等の欠陥が修復され、高品質なSiGe層2が形成される。

【0057】したがって、埋め込み絶縁層3上には、歪み印加半導体層として、高品質で薄い上部SiGe層2が形成されることになる。次に成長温度を500℃に設定してCVD法により上部SiGe層2上にシリコンを成長させて厚さ30nmの歪みシリコン層4を形成する。この歪みシリコン層4の歪みは引っ張り歪みである。

【0058】上部SiGe層2のGe濃度は高いので、歪みシリコン層4は、電子移動度の向上を図るのに十分な大きさの引っ張り歪みを有したものとなる。さらに、上部SiGe層2内の転位等の欠陥は低減されているので、高品質な歪みシリコン層4が形成される。

【0059】さらまた、本実施形態では、埋め込み絶縁層3、上部SiGe層2および歪みシリコン層4によりSOI構造 (SiGe On Insulator 構造) が形成されているが、上部SiGe層2の膜厚は薄いので、上記SOI構造による浮遊容量低減等の効果は十分に発揮される。

【0060】したがって、本実施形態によれば、上記SOI構造の利点およびチャネル層として歪みシリコン層を用いた利点を有するMOSFETを実現できるようになる。

【0061】また、MOSFETの短チャネル効果の抑制または駆動電流の向上、あるいはこれらを同時に効果的に図るためには、歪みシリコン層4の膜厚は20nm以下であることが望ましい。

【0062】次にトレンチ分離法により素子分離絶縁膜5を形成する。なお、トレンチ分離法の代わりにLOCOS分離法等の他の素子分離法を用いても良い。この素子分離絶縁膜5により、n型MOSFETの形成予定領域と、これに隣り合う別のデバイス、例えば、p型MOSFETの形成予定領域とが分離される。

【0063】次に歪みシリコン層4の表面を熱酸化してできるだけ薄いゲート酸化膜6を形成する。ゲート酸化膜6の膜厚は10nm程度以下であることが望ましい。次にしきい値電圧調整用の不純物イオンをゲート酸化膜6を介してチャネル領域に注入し、n型チャネル領域を形成する。

【0064】次にゲート酸化膜6上にゲート電極7となる多結晶シリコン膜を減圧CVD法により形成した後、上記多結晶シリコン膜を反応性イオンエッチング (RIE) 等の異方性エッチングによりパターニングして、ゲート電極7を形成する。このとき、ゲート酸化膜6も同様にパターニングし、ゲート電極7下以外のゲート酸化膜6を除去する。

【0065】次にゲート電極7をマスクにして、n型MOSFET形成領域にリンイオン等のn型不純物イオンを選択的に注入した後、800℃程度のアニール処理を施して、n型ソース領域8、n型ドレイン領域9を自己整合的に形成する。

【0066】次に全面にシリコン酸化膜またはシリコン

窒化膜などの層間絶縁膜10をCVD法により形成した後、この層間絶縁膜10にゲート領域、ソース領域、ドレイン領域に対するコンタクトホールを開孔する。

【0067】最後に、全面にAl膜等の導電膜を堆積した後、この導電膜をパターンニングして、ソース電極11、ドレイン電極12、ゲート引き出し電極（不図示）を形成して、n型MOSFETが完成する。

【0068】以上述べたように本実施形態によれば、SOI構造による効果およびチャネル層として歪みシリコン層を用いた効果を同時に得られるMOSFETを実現できるようになる。これにより、微細化を進めても期待通りの素子特性を有するMOSFETの実現が可能となる。

【0069】なお、本発明は上述した実施形態に限定されるものではない。例えば、上記実施形態では、歪み印加半導体層として、SiGe層を用いた場合について説明したが、SiGe層の代わりに、SiCやSiN等のようにSiと他の元素との混晶層、ZnSe層等のII-VI族混晶層もしくはGaAsやInP等のIII-V族混晶層などの互いに格子定数の異なる材料からなる混晶層でも良い。

【0070】また、上記実施形態では、MOSFETの場合について説明したが、本発明はチャネル半導体層に歪みを印加することが可能な構造の半導体素子を有する半導体装置であれば適用できる。

【0071】例えば、MOS構造を有するCMOSやBi CMOS等の半導体素子や、HEMT (High Electron Mobility Transistor) を有する半導体装置にも適用

できる。その他、本発明の要旨を逸脱しない範囲で、種々変形して実施できる。

【0072】

【発明の効果】以上詳述したように本発明によれば、SOI構造による効果を失わずに、高品質で十分な歪みを有するチャネル半導体層を形成できる構造の半導体装置を提供できるようになる。

【図面の簡単な説明】

【図1】本発明をSi系MOSFETに適用した場合のプロセスフローを従来法のそれと比較して示す図

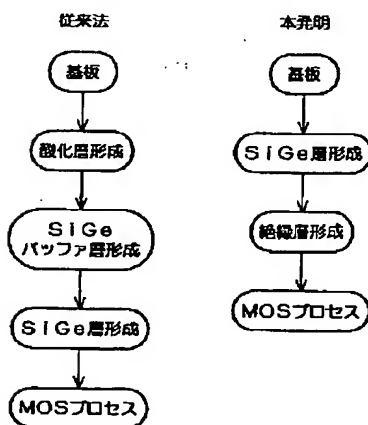
【図2】本発明の一実施形態に係るn型MOSFETの素子構造を示す断面図

【図3】従来のSOI基板を用いたn型MOSFETの素子構造を示す断面図

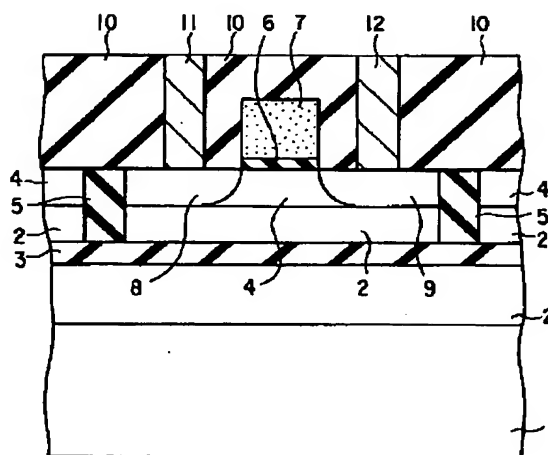
【符号の説明】

- 1…シリコン基板
- 2…SiGe層（歪み印加半導体層）
- 3…埋め込み絶縁層
- 4…歪みシリコン層（チャネル半導体層）
- 5…素子分離絶縁膜
- 6…ゲート酸化膜
- 7…ゲート電極
- 8…n型ソース領域
- 9…n型ドレイン領域
- 10…層間絶縁膜
- 11…ソース電極
- 12…ドレイン電極

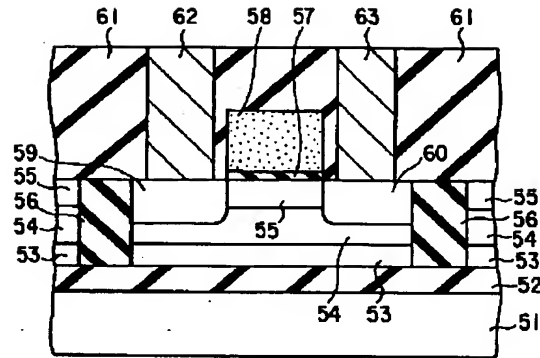
【図1】



【図2】



【図3】



フロントページの続き

(51) Int. Cl. 6

H 0 1 L 21/338

29/812

識別記号

庁内整理番号

F I

H 0 1 L 29/78

技術表示箇所

3 0 1 B

6 1 8 B

9447-4M

29/80

H

(72) 発明者 手塚 勉

神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝研究開発センター内

(72) 発明者 平岡 佳子

神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝研究開発センター内

(72) 発明者 黒部 篤

神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝研究開発センター内

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] A semiconductor device characterized by coming to provide a channel semiconductor layer to which induction of the channel is carried out, a distortion impression semiconductor layer to which a lattice constant impresses distortion to said channel semiconductor layer unlike it of said channel semiconductor layer, and an insulating layer formed in this distortion impression semiconductor layer.

[Claim 2] For a silicon layer and said distortion impression semiconductor layer, said channel semiconductor layer is a semiconductor device according to claim 1 characterized by being a silicon germanium layer.

[Claim 3] Said channel semiconductor layer is a semiconductor device according to claim 1 characterized by being the semiconductor layer to which induction of the channel of MOSFET is carried out.

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] This invention relates to the semiconductor device equipped with the semiconductor device which has the channel semiconductor layer to which induction of the channel is carried out like MOSFET or HEMT.

[0002]

[Description of the Prior Art] Many transistors, resistance, etc. are connected to the important portions of a computer or communication equipment so that an electrical circuit may be attained, and the large-scale integrated circuit (LSI) integrated and formed on 1 chip is used abundantly. For this reason, the engine performance of the whole device is connected as greatly as the engine performance of an LSI simple substance.

[0003] In the improvement in the engine performance of the LSI simple substance which consists of improvement in the engine performance of an LSI simple substance, for example, an Si system MOS device etc., amelioration of MOSFET characterized by the high speed and the low power is indispensable. For this reason, for example, research and development aiming at improvement in electrical characteristics, such as electron mobility, are done energetically.

[0004] However, the examination about the structure of a channel semiconductor layer where induction of the channel is carried out has just been attached to the clue. As one of the technology for raising electron mobility, the technology which applies distortion to a channel semiconductor layer is known. If distortion is applied to a channel semiconductor layer, since the band structure will change, consequently degeneracy will be cleared and electronic dispersion will be controlled, it becomes possible to raise electron mobility.

[0005] If the mixed-crystal layer which consists of a material with a bigger lattice constant than silicon, for example, the SiGe mixed-crystal layer of 20% of germanium concentration, (only henceforth a SiGe layer) is specifically formed on a silicon substrate and the silicon layer as a channel semiconductor layer is formed on this SiGe layer, the silicon layer (henceforth a distortion channel layer) which distortion required will be formed of the difference in a lattice constant. If such a distortion channel layer is used, it is reported that about 1.76 times at the time of using an undistorted channel layer and improvement in large electron mobility can be attained (J. Welser, J.L.Hoyt, S.Takagi, and J.F.Gibbons, and IEDM 94-373).

[0006] On the other hand, if short channelization of MOSFET is advanced for improvement in electron mobility, since the effect of stray capacity will become large, it becomes difficult to improve electron mobility as expected.

[0007] Then, creating MOSFET to a SOI (Silicon On Insulator) substrate is examined. As a method of forming each thickness of the oxidizing zone of a SOI substrate, and the silicon layer on it in the optimal size, although some methods, such as a lamination substrate, are proposed as the formation method of a SOI substrate, after injecting oxygen ion into a silicon substrate, elevated-temperature heat treatment is performed to this silicon substrate, it embeds to the interior of this substrate, and the method of forming

an oxidizing zone called a common name SIMOX (Separation by Implanted Oxygen) is used widely. [0008] The cross-section structure of MOSFET created to the SOI substrate at drawing 3 is shown. Among drawing, a silicon substrate and 52 show an oxidizing zone, 53 shows the silicon layer in 51, and these constitute the SOI substrate.

[0009] On the silicon layer 53, the SiGe mixed-crystal layer (only henceforth a SiGe layer) 54 is formed, and the distortion silicon layer 55 is formed on this SiGe layer 54. The isolation insulator layer 56 which reaches an oxidizing zone 52 is formed in these silicon layer 53, the SiGe layer 54, and the distortion silicon layer 55.

[0010] On the distortion silicon layer 55, sequential formation of gate oxide 57 and the gate electrode 58 is carried out. Moreover, n mold source field 59 and n mold drain field 60 are formed in the distortion silicon layer 55 and the SiGe layer 54 at self align of the ion implantation which used this gate electrode 58 for the mask.

[0011] And the interlayer insulation film 61 was formed in the whole surface so that the gate electrode 58 might be covered, and the source electrode 62 and the drain electrode 63 have connected with n mold source field 59 and n mold drain field 60 through the contact hole by which the opening was carried out to this interlayer insulation film 61, respectively.

[0012] If MOSFET which used the distortion silicon layer 55 for a channel semiconductor layer which was mentioned above, and used the SOI substrate for the substrate is realizable, an effective element property will come to be acquired also to detailed-izing below 0.1-micrometer Ruhr. That is, improvement in electron mobility can be aimed at, suppressing the short channel effect.

[0013] However, there are the following problems on the occasion of implementation of such an MOSFET. In order to obtain the distortion silicon layer 55 which has sufficient distortion, it is necessary to form a thick SiGe mixed-crystal buffer layer (only henceforth a SiGe buffer layer), and to form the SiGe layer 54 of high germanium concentration on it. For example, a SiGe buffer layer with a thickness of about 100nm from which a lattice constant differs by % order to the silicon layer 53 is formed.

[0014] However, a misfit rearrangement and a penetration rearrangement occur in a SiGe buffer layer by the grid mismatch with the silicon layer 53 of a substrate, these rearrangements are succeeded in the SiGe layer 54, it is taken over to the distortion silicon layer 55 which these rearrangements form on the SiGe layer 54 further, and the problem that an element property deteriorates arises.

[0015] Even if crystal growth of a SiGe buffer layer is performed satisfactory and neither a misfit rearrangement nor a penetration rearrangement occurs in a SiGe buffer layer, the high temperature in an after production process may be heat-treating, relaxation may arise, and a rearrangement may arise as a result.

[0016] Therefore, in order to obtain the distortion silicon layer 55 which has sufficient distortion, to grow up silicon and to form the distortion silicon layer 55 on the SiGe layer 54, after it released distortion which the SiGe layer 54 receives from the silicon layer 53, that is, the SiGe layer 54 has eased is desired.

[0017] As a SiGe buffer layer, in order to realize this, the thick inclination presentation SiGe layer to which germanium concentration becomes high gradually is created, and it is necessary on this inclination presentation SiGe layer to carry out sequential formation of the SiGe layer 54 and the distortion silicon layer 55 as it keeps away from the silicon layer 53.

[0018] In this thick inclination presentation SiGe layer, rearrangements, such as a penetration rearrangement and a misfit rearrangement, are shut up into this layer. Moreover, the surface of the inclination presentation SiGe layer which forms the SiGe layer 54 is fully eased. Therefore, the SiGe layer 54 from which there is no rearrangement in the surface, and the distortion from the distortion silicon layer 55 was released is obtained, and the distortion silicon layer 55 which there is no rearrangement by this and has sufficient distortion can be formed now. However, the thickness of this SiGe buffer layer is set to about 1 micrometer.

[0019] On the other hand, in order to acquire the effect of SOI substrates, such as reduction of stray capacity, the thickness (sum total of the thickness of the silicon layer 53, the thickness of the SiGe layer 54, and the thickness of the distortion silicon layer 55) of the SOI layer of a SOI substrate needs to be

about 0.1 micrometers or less.

[0020] Therefore, after forming a thick SiGe buffer layer (inclination presentation SiGe layer) which was mentioned above, in having formed the distortion silicon layer, the problem that the effect of a SOI substrate is unenjoyable arises.

[0021] Furthermore, in order to form the thick SiGe buffer layer (inclination presentation SiGe layer) mentioned above, there is a problem of taking crystal growth time amount. Moreover, surface roughness increases and there is also a problem that the membranous quality of the distortion silicon layer 55 formed on it deteriorates.

[0022]

[Problem(s) to be Solved by the Invention] If MOSFET which used the distortion silicon layer for the channel semiconductor layer, and used the SOI substrate for the substrate like **** is realizable, while being able to aim at improvement in electron mobility also to detailed-izing below 0.1-micrometer Ruhr, suppressing the short channel effect, large drain current can also be taken.

[0023] The method of forming a SiGe layer on the thick inclination presentation SiGe layer as a SiGe buffer layer as the formation method of a distortion silicon layer of there being no rearrangement and having sufficient distortion, and growing up silicon and forming a distortion silicon layer on this SiGe layer, is learned.

[0024] However, by forming a thick inclination presentation SiGe layer, between a distortion silicon layer and the oxidizing zones which constitute SOI structure became large, and there was a problem that the effect of SOI structure was no longer acquired.

[0025] This invention was made in consideration of the above-mentioned situation, and the place made into the purpose is to offer the semiconductor device which has the structure which can form the channel semiconductor layer which has quality and sufficient distortion, without losing the effect by SOI structure.

[0026]

[Means for Solving the Problem]

[Summary of the Invention] -- in order to attain the account purpose of a top, the semiconductor device (claim 1) concerning this invention is characterized by having the channel semiconductor layer to which induction of the channel is carried out, the distortion impression semiconductor layer to which a lattice constant impresses distortion to said channel semiconductor layer unlike it of said channel semiconductor layer, and the insulating layer formed in this distortion impression semiconductor layer.

[0027] Moreover, said channel semiconductor layer is characterized by a silicon layer and said distortion impression semiconductor layer of other semiconductor devices (claim 2) concerning this invention being silicon germanium layers in the above-mentioned semiconductor device (claim 1).

[0028] in this case, the above-mentioned insulating layer -- SIMOX -- forming by law is desirable. Moreover, other semiconductor devices (claim 3) concerning this invention are characterized by said channel semiconductor layer being a semiconductor layer to which induction of the channel of MOSFET is carried out in the above-mentioned semiconductor device (claim 1).

[0029] According to the structure of **** of [operation] this invention, the channel semiconductor layer which has sufficient distortion can be formed now by the following formation methods, for example, without losing the effect by SOI structure.

[0030] That is, the distortion impression semiconductor layer which can give first sufficient distortion for the channel semiconductor layer formed at an after production process is formed. If this is the case where for example, a distortion impression semiconductor layer is a SiGe layer, it should just make germanium concentration high.

[0031] Next, an insulating layer is formed in a distortion impression semiconductor layer. This forms by performing annealing treatment, after pouring in for example, oxygen ion into a distortion impression semiconductor layer. Consequently, an insulating layer separates into two upper and lower sides, and a distortion impression semiconductor layer can carry out structure of an up distortion impression semiconductor layer / insulating layer / the lower distortion impression semiconductor layer.

[0032] At this time, the depth of the location which forms an insulating layer is chosen so that the same

effect as the SOI structure which consists of a channel semiconductor layer formed at an insulating layer, an up distortion impression semiconductor layer, and an after production process can be enjoyed. That is, an insulating layer is formed in a distortion impression semiconductor layer so that an up distortion impression layer with the thin degree which can enjoy the effect by SOI structure may be obtained.

[0033] Furthermore, defects, such as a rearrangement generated in the distortion impression semiconductor layer at the time of formation of a distortion impression semiconductor layer and formation of an insulating layer, decrease by the above-mentioned annealing treatment. Thereby, the conventional thick distortion impression semiconductor layer and the quality thin distortion impression semiconductor layer which has a defect below a comparable number are obtained.

[0034] At the end, a channel semiconductor layer is formed on a quality thin distortion impression semiconductor layer (up distortion impression semiconductor layer). Here, since the up distortion impression semiconductor layer is formed so that it may be quality and sufficient distortion for a channel semiconductor layer can be given as mentioned above, the channel semiconductor layer which has quality and sufficient distortion will be formed. And since the up distortion impression layer which impresses distortion to a channel semiconductor layer is thin, an effect equivalent to SOI structure is acquired. Therefore, the channel semiconductor layer which has quality and sufficient distortion can be formed, without losing an effect equivalent to SOI structure.

[0035]

[Embodiment of the Invention] Hereafter, the gestalt (henceforth an operation gestalt) of operation of this invention is explained, referring to a drawing.

(1st operation gestalt) The fundamental idea of this invention is explained first. The process flow at the time of applying this invention to the Si system MOSFET is shown in drawing 1 as compared with it of a conventional method. In this example, the SiGe layer is used as a distortion impression semiconductor layer.

[0036] injecting oxygen ion into a silicon substrate, performing annealing treatment to this silicon substrate first, in a conventional method, and forming an oxidizing zone in a silicon substrate, i.e., SIMOX, -- a SOI substrate is formed by law.

[0037] Next, the inclination presentation SiGe layer which becomes high gradually about germanium concentration under crystal is formed on a SOI substrate as it separates from a SOI substrate as a SiGe buffer layer. Next, the SiGe layer which SiGe is grown up on a SiGe buffer layer, and has desired germanium concentration is formed.

[0038] After growing up silicon and forming a distortion silicon layer on a SiGe layer finally, MOSFET which uses this distortion silicon layer as a channel semiconductor layer is formed. On the other hand, in this invention, first, on a silicon substrate, SiGe is grown up and the SiGe layer as a distortion impression semiconductor layer is formed. At this time, germanium concentration of a SiGe layer is chosen so that the magnitude [layer / which is formed at an after production process / distortion silicon] of distortion may become large enough.

[0039] Next, after injecting oxygen ion into a SiGe layer, by performing annealing treatment to this SiGe layer, it embeds in a SiGe layer and an insulating layer is formed. Consequently, a SiGe layer is divided into two upper and lower sides by the embedding insulating layer. Hereafter, an up SiGe layer and a lower SiGe layer are called lower SiGe layer for the SiGe layer of the separated bottom.

[0040] An embedding insulating layer is formed in the location where a SiGe layer is shallow so that the thickness of an up SiGe layer may become thin at the time of this production process. Since between an embedding insulating layer and the distortion silicon layers formed at the following production process can be shortened by this, effects, such as stray capacity reduction equivalent to the SOI structure constituted by an embedding insulating layer, an up SiGe layer, and the distortion silicon layer, can be enjoyed.

[0041] Furthermore, since defects, such as a rearrangement produced at the time of formation of a SiGe layer and an oxygen ion implantation, are restorable with the annealing treatment after injecting oxygen ion into a SiGe layer, even if it does not form a SiGe buffer layer, a quality up SiGe layer and a bottom

SiGe layer are obtained.

[0042] Therefore, the quality and thin up SiGe layer (distortion impression semiconductor layer) which can form the distortion silicon layer which has a quality and big distortion will be obtained, without losing an effect equivalent to SOI structure in a routing counter (1 production-process compaction) smaller than before.

[0043] After growing up silicon and forming a distortion silicon layer on an up SiGe layer finally, MOSFET which uses this distortion silicon layer as a channel semiconductor layer is formed. In addition, MOSFET may be formed in this distortion silicon layer, after forming a new SiGe layer on an up SiGe layer and forming a distortion silicon layer on this SiGe layer. In this case, since a more nearly quality SiGe layer is obtained, MOSFET which was further excellent in the element property can be formed.

[0044] Next, the concrete operation gestalt of this invention is explained. Drawing 2 is the cross section showing the element structure of the n mold MOSFET concerning 1 operation gestalt of this invention. If this is explained according to a manufacturing process, the pure silicon substrate 1 from which the natural oxidation film etc. was removed using cleaning methods, such as the RCA method, will be prepared first.

[0045] Next, the SiGe layer 2 with a thickness of about 1 micrometer is formed on a silicon substrate 1. germanium concentration of the SiGe layer 2 is made high so that distortion of the distortion silicon layer 4 formed at an after production process may become large enough.

[0046] Since induction of the defect which contains an unnecessary penetration rearrangement or a misfit rearrangement in the SiGe layer 2 will be carried out by the grid mismatch produced by the difference in the lattice constant of a silicon substrate 1 and the SiGe layer 2 when the SiGe layer 2 is formed here, making germanium concentration increase rapidly, as for germanium concentration, it is desirable to make it increase gradually in the SiGe layer 2, and to make it become request concentration on the surface.

[0047] The value of 1 micrometer of thickness is a typical value used when designing germanium presentation ratio of the portion near the device side of the SiGe layer 2 with 0.3. The larger one of germanium presentation ratio is good, and when much less than 0.2, the remarkable improvement in the mobility of MOSFET formed on the SiGe layer 2 cannot be expected. Moreover, when exceeding 0.5 greatly, the increment in the surface irregularity (surface roughness) of the SiGe layer 2 and problems, such as film deterioration, may arise. If germanium presentation ratio is set up in consideration of these points, the effect of this invention will come to be demonstrated more notably.

[0048] The concrete membrane formation method of the SiGe layer 2 is as follows. That is, it is SiH₄ as a raw material. And GeH₄ It uses, growth temperature is set as 500 degrees C, a growth pressure is set as ten to 3 Pa, and it forms with a CVD method in a vacuum housing.

[0049] for growing up SiGe -- such a CVD method and MBE (Molecular Beam Epitaxy) -- although epitaxial grown methods, such as law, are used widely, as long as it is the crystal growth method which can control germanium presentation ratio, other forming-membranes methods may be used.

[0050] for example, LPE (Liquid Phase Epitaxy) -- the SiGe layer 2 can be formed also with liquid phase grown methods, such as law, and the solid phase grown method by heating of the Pori SiGe layer or an amorphous silicon germanium layer.

[0051] Moreover, although the case of the CVD method under a vacuum (ten to 3 Pa growth pressure) was explained, it can grow up here also under the reduced pressure by the growth pressure of hundreds Torr(s) or ordinary pressure, and pressurization.

[0052] as Si raw material -- SiH₄, Si two H₆, and Si₂ H₄ Cl₂ etc. -- as germanium raw material -- GeH₄, GeF₄, and germanium two H₈ etc. -- it is suitable. The gas of these raw materials may be introduced in a vacuum housing using carrier gas. As carrier gas, inert gas, such as hydrogen gas, nitrogen gas, gaseous helium, or an argon, etc. is raised, for example.

[0053] Moreover, the plasma, light, etc. may decompose a raw material beforehand, the kind contributed to the growth which has energy required for growth may be generated, and this may be used for crystal growth. moreover, B-2 H₆ which becomes sources of an impurity, such as B, As, and P, in case the SiGe

layer 2 is formed, AsH₃, and PH₃ It introduces in a raw material, simultaneously a vacuum housing. etc.
 -- After making it the SiGe layer 2 become a predetermined conductivity type or forming the SiGe layer 2, B, As, P, etc. are introduced in the SiGe layer 2 by diffusion, and you may make it the SiGe layer 2 become a predetermined conductivity type. Moreover, Ga, Sb, Sn, aluminum, N, etc. may be used in addition to B, As, and P.

[0054] Next, after pouring in oxygen ion from the SiGe layer 2 on condition that dose $5 \times 10^{17} \text{cm}^{-2}$, 1300-degree C annealing treatment is performed and the good embedding insulating layer 3 is formed in the SiGe layer 2.

[0055] The SiGe layer 2 is divided into two upper and lower sides by the embedding insulating layer 3. Hereafter, the up SiGe layer 2 and the lower SiGe layer 2 are called lower SiGe layer 2 for the SiGe layer 2 of the separated bottom.

[0056] The embedding insulating layer 3 is formed in the shallow location of the SiGe layer 2 so that the thickness of the up SiGe layer 2 may become thin at the time of this production process. Moreover, defects, such as a rearrangement in the SiGe layer 2, are restored by the above-mentioned annealing treatment, and the quality SiGe layer 2 is formed.

[0057] Therefore, on the embedding insulating layer 3, the up SiGe layer 2 quality and thin as a distortion impression semiconductor layer will be formed. Next, growth temperature is set as 500 degrees C, silicon is grown up on the up SiGe layer 2 with a CVD method, and the distortion silicon layer 4 with a thickness of 30nm is formed. The distortion of this distortion silicon layer 4 is hauling distortion.

[0058] Since germanium concentration of the up SiGe layer 2 is high, the distortion silicon layer 4 becomes a thing with the hauling distortion of sufficient magnitude to aim at improvement in electron mobility. Furthermore, since defects, such as a rearrangement in the up SiGe layer 2, are reduced, the quality distortion silicon layer 4 is formed.

[0059] With a pan and this operation gestalt, although SOI structure (SiGe On Insulator structure) is formed of the embedding insulating layer 3, the up SiGe layer 2, and the distortion silicon layer 4, since the thickness of the up SiGe layer 2 is thin, effects, such as stray capacity reduction by the above-mentioned SOI structure, are fully demonstrated.

[0060] Therefore, according to this operation gestalt, MOSFET which has the advantage of the above-mentioned SOI structure and the advantage using the distortion silicon layer as a channel layer can be realized now.

[0061] Moreover, in order to plan effectively control of the short channel effect of MOSFET, the improvement in drive current, or these to coincidence, as for the thickness of the distortion silicon layer 4, it is desirable that it is 20nm or less.

[0062] Next, the isolation insulator layer 5 is formed with a trench separation method. In addition, other element separation methods, such as a LOCOS separation method, may be used instead of a trench separation method. This isolation insulator layer 5 separates, the formation schedule field of the n mold MOSFET, and another device which adjoins this, for example, the formation schedule field of the p mold MOSFET.

[0063] Next, the surface of the distortion silicon layer 4 is oxidized thermally, and the thinnest possible gate oxide 6 is formed. As for the thickness of gate oxide 6, it is desirable that it is about 10nm or less. Next, the impurity ion for threshold voltage adjustment is poured into a channel field through gate oxide 6, and an n-type channel field is formed.

[0064] Next, after forming the polycrystalline silicon film used as the gate electrode 7 with a reduced pressure CVD method on gate oxide 6, patterning of the above-mentioned polycrystalline silicon film is carried out by anisotropic etching, such as reactive ion etching (RIE), and the gate electrode 7 is formed. At this time, patterning also of the gate oxide 6 is carried out similarly, and it removes gate oxide 6 other than under the gate electrode 7.

[0065] Next, after using the gate electrode 7 as a mask and pouring n mold impurity ion, such as phosphorus ion, into an n mold MOSFET formation field alternatively, about 800-degree C annealing treatment is performed, and n mold source field 8 and n mold drain field 9 are formed in self align.

[0066] Next, after forming the interlayer insulation films 10, such as silicon oxide or a silicon nitride, in the whole surface with a CVD method, the opening of the contact hole to a gate field, a source field, and a drain field is carried out to this interlayer insulation film 10.

[0067] Finally, after depositing electric conduction films, such as aluminum film, on the whole surface, patterning of this electric conduction film is carried out, the source electrode 11, the drain electrode 12, and a gate drawer electrode (un-illustrating) are formed, and the n mold MOSFET is completed.

[0068] As stated above, according to this operation gestalt, MOSFET obtained by coincidence in the effect by SOI structure and the effect using the distortion silicon layer as a channel layer can be realized now. Thereby, even if it advances detailed-ization, it becomes realizable [MOSFET which has an element property as expected].

[0069] In addition, this invention is not limited to the operation gestalt mentioned above. For example, although the above-mentioned operation gestalt explained the case where a SiGe layer was used, as a distortion impression semiconductor layer, they are the mixed-crystal layer of Si and other elements, a ZnSe layer, etc. like SiC or SiN instead of a SiGe layer. An II-VI group mixed-crystal layer or GaAs, InP, etc. The mixed-crystal layer which consists of a material with which lattice constants differ mutually [an III-V group mixed-crystal layer etc.] is sufficient.

[0070] Moreover, with the above-mentioned operation gestalt, although the case of MOSFET was explained, if this invention is a semiconductor device which has the semiconductor device of the structure which can impress distortion to a channel semiconductor layer, it is applicable.

[0071] For example, it is applicable also to semiconductor devices, such as CMOS, BiCMOS, etc. which have metal-oxide-semiconductor structure, and the semiconductor device which has HEMT (High Electron Mobility Transistor). In addition, in the range which does not deviate from the summary of this invention, it deforms variously and can carry out.

[0072]

[Effect of the Invention] As explained in full detail above, according to this invention, the semiconductor device of the structure which can form the channel semiconductor layer which has quality and sufficient distortion can be offered now, without losing the effect by SOI structure.

[Translation done.]